

DIALOG(R) File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

012720968 **Image available**

WPI Acc No: 1999-527080/199944

XRPX Acc No: N99-390410

Current mirror circuit for semiconductor integrated circuit

Patent Assignee: FUJITSU LTD (FUIT)

Inventor: IDE S

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 5952884	A	19990914	US 98109290	A	19980630	199944 B
JP 11234060	A	19990827	JP 9836118	A	19980218	199945
JP 3510100	B2	20040322	JP 9836118	A	19980218	200421

Priority Applications (No Type Date): JP 9836118 A 19980218

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 5952884	A	31	H03F-003/04	
JP 11234060	A	17	H03F-003/343	
JP 3510100	B2	17	H03F-003/343	Previous Publ. patent JP 11234060

Abstract (Basic): US 5952884 A

NOVELTY - Output circuit includes series RMOS transistors (M011,M012). Source of transistor (M011) is connected to that of transistor (M111). Gates of transistors (M011,M012) are connected to gate of respective transistors (M111,M112). Output current is produced from drain of transistor (M012). Transistor (M112) is operated with voltage not higher than threshold voltage of transistor (M111).

DETAILED DESCRIPTION - The input circuit includes two n- channel MOS transistors (M111,M112) connected in series. The gates of both transistors (M111,M112) are connected to drain of transistor (M112), which is connected to reference current source (11). The shape ratios of transistors in input circuit and corresponding transistors in each of output circuit are in fixed relation with each other.

USE - Used as power circuit for semiconductor integrated circuit .

ADVANTAGE - Offers current mirror circuit with high output impedance and the mirror ratio can be set with high accuracy even when source voltage is low.

DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of current mirror circuit.

Reference current source (11)

Input transistors (M111,M112)

Output transistors (M011,M012)

pp; 31 DwgNo 6/18

Title Terms: CURRENT; MIRROR; CIRCUIT; SEMICONDUCTOR; INTEGRATE; CIRCUIT

Derwent Class: U24

International Patent Class (Main): H03F-003/04; H03F-003/343

International Patent Class (Additional): G05F-003/26

File Segment: EPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-234060

(43) 公開日 平成11年(1999)8月27日

(51) Int.Cl.⁶

識別記号

F I
H 0 3 F 3/343
G 0 5 F 3/26

A

審査請求・未請求・請求項の数16 Q1 (全 17 頁)

(21)出願番号 特願平10-36118

(22)出願日 平成10年(1998)2月18日

(71) 出席人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 井出 聰

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外 3 名)

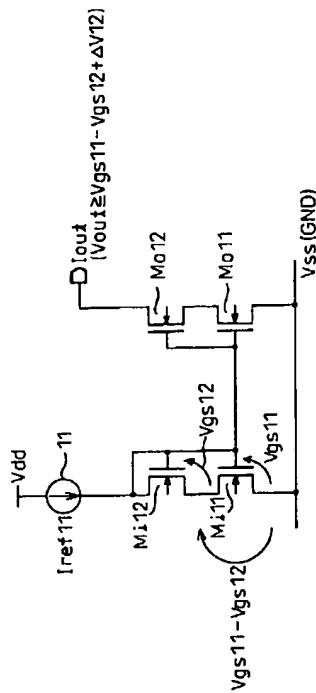
(54) 【発明の名称】 カレントミラー回路および該カレントミラー回路を有する半導体集積回路

(57) 【要約】

【課題】 低い電源電圧においても出力インピーダンスが高く、且つ、ミラー比が高精度に設定可能なカレントミラー回路を構成するのは困難であった。

【解決手段】 直列接続された第1および第2の入力トランジスタMi11, Mi12のゲートを共に第2の入力トランジスタMi12 のドレインに接続し、該第2の入力トランジスタMi12 のドレインを基準電流源11に接続し、第1の出力トランジスタMo11 のソースを第1の入力トランジスタMi11 のソースに接続し、第1および第2の出力トランジスタMo11, Mo12 のゲートを第1および第2の入力トランジスタMi11, Mi12 のゲートに接続し、第2の出力トランジスタMo12 のドレインから出力電流Ioutを取り出し、第2の入力トランジスタMi12 を第1の入力トランジスタMi11 の閾値電圧以下で動作させるように構成する。

本聲明に係るカレントミラーコードの第1実施例を示す回路図



【特許請求の範囲】

【請求項1】 基準電流を流す基準電流源と、該基準電流源に接続され該基準電流が流される入力回路と、該入力回路にカレントミラー接続された1組以上の出力回路とを有する電界効果型トランジスタを用いたカレントミラー回路であつて、

前記入力回路は、直列接続された第1および第2の入力トランジスタを有し、該第1および第2の入力トランジスタのゲートを共に該第2の入力トランジスタのドレインに接続し、該第2の入力トランジスタのドレインを前記基準電流源に接続し、

前記少なくとも1組の出力回路は、直列接続された第1および第2の出力トランジスタを有し、該第1の出力トランジスタのソースを前記第1の入力トランジスタのソースに接続し、該第1および第2の出力トランジスタのゲートを前記第1および第2の入力トランジスタのゲートに接続し、該第2の出力トランジスタのドレインから出力電流を取り出し、そして、

前記第2の入力トランジスタを、前記第1の入力トランジスタの閾値電圧以下で動作させるようにしたことを特徴とするカレントミラー回路。

【請求項2】 基準電流を流す基準電流源と、該基準電流源に接続され該基準電流が流される入力回路と、該入力回路にカレントミラー接続された1組以上の出力回路とを有する電界効果型トランジスタを用いたカレントミラー回路であつて、

前記入力回路は、直列接続された第1、第2および第3の入力トランジスタを有し、該第1の入力トランジスタのゲートを該第1の入力トランジスタのドレインに接続し、該第2および第3の入力トランジスタのゲートを共に該第3の入力トランジスタのドレインに接続し、該第3の入力トランジスタのドレインを前記基準電流源に接続し、

前記少なくとも1組の出力回路は、直列接続され第1、第2および第3の出力トランジスタを有し、該第1の出力トランジスタのソースを該第1の入力トランジスタのソースに接続し、該第1の出力トランジスタのゲートを該第1の入力トランジスタのゲートに接続し、該第2および第3の出力トランジスタのゲートを該第2および第3の入力トランジスタのゲートに接続し、該第3の出力トランジスタのドレインから出力電流を取り出し、そして、

前記第3の入力トランジスタを、前記第2の入力トランジスタの閾値電圧以下で動作させるようにしたことを特徴とするカレントミラー回路。

【請求項3】 基準電流を流す基準電流源と、該基準電流源に接続され該基準電流が流される入力回路と、該入力回路にカレントミラー接続された1組以上の出力回路とを有する電界効果型トランジスタを用いたカレントミラー回路であつて、

前記入力回路は、直列接続された第1、第2および第3の入力トランジスタを有し、該第1の入力トランジスタのゲートを該第2の入力トランジスタのドレインに接続し、該第2および第3の入力トランジスタのゲートを共に該第3の入力トランジスタのドレインに接続し、該第3の入力トランジスタのドレインを前記基準電流源に接続し、

前記少なくとも1組の出力回路は、直列接続され第1、第2および第3の出力トランジスタを有し、該第1の出力トランジスタのソースを該第1の入力トランジスタのソースに接続し、該第1の出力トランジスタのゲートを該第1の入力トランジスタのゲートに接続し、該第2および第3の出力トランジスタのゲートを該第2および第3の入力トランジスタのゲートに接続し、該第3の出力トランジスタのドレインから出力電流を取り出し、そして、

前記第3の入力トランジスタを、前記第2の入力トランジスタの閾値電圧以下で動作させるようにしたことを特徴とするカレントミラー回路。

【請求項4】 基準電流を流す基準電流源と、該基準電流源に接続され該基準電流が流される入力回路と、該入力回路にカレントミラー接続された1組以上の出力回路とを有する電界効果型トランジスタを用いたカレントミラー回路であつて、

前記入力回路は、直列接続された第1～第Xの入力トランジスタを有し、任意の第X-2までの第Kの入力トランジスタのゲートを第K+1の入力トランジスタのドレインに接続し、該第Xおよび第X-1の入力トランジスタのゲートを共に該第Xの入力トランジスタのドレインに接続し、該第Xの入力トランジスタのドレインを前記基準電流源に接続し、

前記少なくとも1組の出力回路は、直列接続され第1～第Xの出力トランジスタを有し、該第1の出力トランジスタのソースを該第1の入力トランジスタのソースに接続し、該任意の第X-2までの第Kの出力トランジスタのゲートを該第Kの入力トランジスタのゲートに接続し、該第Xおよび第X-1の出力トランジスタのゲートを該Xおよび第X-1の入力トランジスタのゲートに接続し、該第Xの出力トランジスタのドレインから出力電流を取り出し、そして、

前記第Xの入力トランジスタを、前記第X-1の入力トランジスタの閾値電圧以下で動作させるようにしたことを特徴とするカレントミラー回路。

【請求項5】 第1の基準電流を流す第1の基準電流源と、第2の基準電流を流す第2の基準電流源と、該第1および第2の基準電流源に接続され該第1および第2の基準電流が流される入力回路と、該入力回路にカレントミラー接続された1組以上の出力回路とを有する電界効果型トランジスタを用いたカレントミラー回路であつて、

前記入力回路は、直列接続された第1および第2の入力トランジスタおよび直列接続された第3および第4の入力トランジスタを有し、該第1および第2の入力トランジスタのゲートを共に該第2の入力トランジスタのドレインに接続し、該第2の入力トランジスタのドレインを前記第1の基準電流源に接続し、該第3および第4の入力トランジスタのゲートを共に該第4の入力トランジスタのドレインに接続し、該第4の入力トランジスタのドレインを前記第2の基準電流源に接続し、前記少なくとも1組の出力回路は、直列接続された第1および第2の出力トランジスタを有し、該第1の出力トランジスタのソースを前記第1および第3の入力トランジスタのソースに接続し、該第1の出力トランジスタのゲートを前記第1および第2の入力トランジスタのゲートに接続し、該第2の出力トランジスタのゲートを前記第3および第4の入力トランジスタのゲートに接続し、該第2の出力トランジスタのドレインから出力電流を取り出し、そして、前記第2の入力トランジスタを、前記第1の入力トランジスタの閾値電圧以下で動作させると共に、前記第4の入力トランジスタを、前記第3の入力トランジスタの閾値電圧以下で動作させるようにしたことを特徴とするカレントミラー回路。

【請求項6】 第1の基準電流を流す第1の基準電流源と、第2の基準電流を流す第2の基準電流源と、該第1および第2の基準電流源に接続され該第1および第2の基準電流が流される入力回路と、該入力回路にカレントミラー接続された1組以上の出力回路とを有する電界効果型トランジスタを用いたカレントミラー回路であって、

前記入力回路は、直列接続された第1および第2の入力トランジスタおよび直列接続された第3および第4の入力トランジスタを有し、該第1の入力トランジスタのゲートを該第2の入力トランジスタのドレインに接続し、該第2の入力トランジスタのドレインを前記第1の基準電流源に接続し、該第2、第3および第4の入力トランジスタのゲートを共に該第4の入力トランジスタのドレインに接続し、該第4の入力トランジスタのドレインを前記第2の基準電流源に接続し、前記少なくとも1組の出力回路は、直列接続された第1および第2の出力トランジスタを有し、該第1の出力トランジスタのソースを前記第1および第3の入力トランジスタのソースに接続し、該第1の出力トランジスタのゲートを前記第1の入力トランジスタのゲートに接続し、該第2の出力トランジスタのゲートを前記第2、第3および第4の入力トランジスタのゲートに接続し、該第2の出力トランジスタのゲートを前記第2、第3および第4の入力トランジスタのゲートに接続し、該第2の出力トランジスタのドレインから出力電流を取り出し、そして、前記第4の入力トランジスタを、前記第3の入力トランジスタの閾値電圧以下で動作させるようにしたことを特

徴とするカレントミラー回路。

【請求項7】 第1の電源線と第2の電源線との間に直列に接続された基準電流源および入力回路と、該入力回路にカレントミラー接続された少なくとも1組の出力回路とを備え、

該入力回路は、直列接続された第1および第2の入力トランジスタを有し、該第1および第2の入力トランジスタのゲートを相互に接続すると共に該第2の入力トランジスタのドレインと前記基準電流源との接続ノードに共通接続し、そして、

前記第2の入力トランジスタを、前記第1の入力トランジスタの閾値電圧以下で動作させるようにしたことを特徴とするカレントミラー回路。

【請求項8】 請求項1～7のいずれか1項に記載のカレントミラー回路において、前記入力回路と前記各出力回路とにおける対応するトランジスタの形状比をそれぞれ一定となるようにしたことを特徴とするカレントミラー回路。

【請求項9】 請求項8のカレントミラー回路において、前記各トランジスタの形状比は、前記各出力回路毎に任意に設定されるようになっていることを特徴とするカレントミラー回路。

【請求項10】 請求項1～9のいずれか1項に記載のカレントミラー回路を、半導体集積回路の電流源回路として使用するようにしたことを特徴とするカレントミラー回路。

【請求項11】 請求項1～10のいずれか1項に記載のカレントミラー回路において、前記基準電流源は、差動增幅回路と、該差動增幅回路の出力を受け取る電流源回路と、該電流源回路に直列接続された抵抗とを備え、

前記差動增幅回路の正相入力に基準電圧を印加すると共に、該差動增幅回路の逆相入力に前記抵抗と前記電流源回路との接続ノードの電圧を印加し、該電流源回路による電流量を前記抵抗の抵抗値および前記基準電圧によって規定するようにしたことを特徴とするカレントミラー回路。

【請求項12】 請求項11のカレントミラー回路において、前記電流源回路は、少なくとも1組の電界効果型トランジスタからなる電流源トランジスタ回路を備え、該各電流源トランジスタ回路は、第1の電流源トランジスタを有し、該第1の電流源トランジスタのソースを基準端子とし、ゲートを電流制御端子とし、ドレインを出力端子とするようになっていることを特徴とするカレントミラー回路。

【請求項13】 請求項11のカレントミラー回路において、前記電流源回路は、少なくとも1組の電界効果型トランジスタからなる電流源トランジスタ回路を備え、該各電流源トランジスタ回路は、直列接続された第1および第2の電流源トランジスタを有し、該第1および第2の電流源トランジスタを有し、該第1および第2の電流源トランジ

2の電流源トランジスタのゲートと共に該第2の電流源トランジスタのドレインに接続し、該第1の電流源トランジスタのソースを基準端子とし、該共通接続したゲートを電流制御端子とし、該第2の電流源トランジスタのドレインを出力端子とし、該第2の電流源トランジスタを該第1の電流源トランジスタの閾値電圧以下で動作させるようにしたことを特徴とするカレントミラー回路。

【請求項14】 請求項1～13のいずれか1項に記載のカレントミラー回路において、前記第2、第3、第4または第Xの入力トランジスタは、前記ゲートを相互に接続した前記第1、第2、第3または第X-1の入力トランジスタの閾値電圧よりも低い閾値電圧を持つようになっていることを特徴とするカレントミラー回路。

【請求項15】 請求項1～13のいずれか1項に記載のカレントミラー回路において、前記第2、第3、第4または第Xの入力トランジスタは、前記ゲートを相互に接続した前記第1、第2、第3または第X-1の入力トランジスタとほぼ同じ閾値電圧を有するが、該閾値電圧以下の弱反転領域で動作するようになっていることを特徴とするカレントミラー回路。

【請求項16】 請求項1～15のいずれか1項に記載のカレントミラー回路により構成した少なくとも1組の電流出力回路を備えたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はカレントミラー回路および該カレントミラー回路を有する半導体集積回路に関する、特に、低電圧駆動が可能なFET(Field Effect Transistor)を用いたカレントミラー回路に関する。従来より、カレントミラー回路は、様々な回路に幅広く使用されており、ミラー比の設定が高精度に行えるものが必要とされている。一方、カレントミラー回路を搭載する回路において、その駆動電圧は低電圧化する傾向にあり、カレントミラー回路も低電圧で動作するものが必要とされている。すなわち、低い電源電圧においても出力インピーダンスが高く、且つ、ミラー比が高精度に設定可能なカレントミラー回路の提供が要望されている。

【0002】

【従来の技術】図1は従来のカレントミラー回路の一例を示す回路図であり、図2は図1のカレントミラー回路の動作を説明するための図である。図1に示されるように、従来のカレントミラー回路は、例えば、基準電流 I_{ref101} を流す基準電流源101およびnチャネル型MOSトランジスタ(nMOSトランジスタ)Mi101からなる入力回路と、nMOSトランジスタMo101からなる出力回路とを備えて構成されている。

【0003】トランジスタMi101およびMo101のソース、並びに、トランジスタMi101およびMo101のゲートは、それぞれ相互に接続されており、また、トランジ

タMi101のドレインは当該トランジスタMi101のゲートに接続されている。また、トランジスタMi101のドレインは基準電流源101に接続され、トランジスタMi101には基準電流 I_{ref101} が流れることになる。さらに、トランジスタMo101のドレインは、出力電流 I_{out} を取り出す端子となる。ここで、トランジスタMi101とトランジスタMo101との形状比(ゲート幅/ゲート長で与えられる)は、N倍(例えば、N=0.1～10)の比例関係になっている。すなわち、トランジスタMi101のゲート幅およびゲート長を W_{101}, L_{101} とすると、トランジスタMo101の形状比 S_{ref101} は、 $S_{ref101} = N \times W_{101} / L_{101}$ となっており、必要な出力電流 I_{out} (すなわち、 $I_{out} = N \times I_{ref101}$) を取り出すことができるようになっている。

【0004】図2に示されるように、図1に示す従来のカレントミラー回路において、トランジスタMo101は、出力に印加される電圧 V_{out} が ΔV_{101} 以上(例えば、0.2V)のときに飽和に達し、出力電流 I_{out} は、 $I_{out} = N \times I_{ref}$ でほぼ一定となる。しかしながら、チャネル変調効果により、この図1に示すカレントミラー回路の出力インピーダンスは低くなる。すなわち、飽和後の出力電流 I_{out} は、出力に印加される電圧 V_{out} の増加と共に大きくなり、この出力電流 I_{out} の増加が電流精度の低下を招いていた。

【0005】図3は従来のカレントミラー回路の他の例を示す回路図であり、図4は図3のカレントミラー回路の動作を説明するための図である。図3に示すカレントミラー回路は、カスコード・カレントミラー回路であり、図1のカレントミラー回路に対して、ゲート接地のトランジスタを挿入し、カスコード接続とすることで、高出力インピーダンス化を実現したものである。

【0006】すなわち、図3に示されるように、カスコード・カレントミラー回路は、基準電流 I_{ref111} を供給する基準電流源111、および、該基準電流源111と直列に接続された2つのnMOSトランジスタMi111、Mi112からなる入力回路と、直列に接続された2つのnMOSトランジスタMo111、Mo112からなる出力回路とを備えて構成されている。

【0007】トランジスタMi111およびMo111のソース、トランジスタMi111およびMo111のゲート、並びに、トランジスタMi112およびMo112のゲートは、それぞれ相互に接続されている。さらに、トランジスタMi111のドレインは当該トランジスタMi111のゲートに接続され、また、トランジスタMi112のドレインは当該トランジスタMi112のゲートに接続されている。また、トランジスタMi112のドレインは基準電流源111に接続され、トランジスタMi111およびMi112には基準電流 I_{ref111} が流れることになる。そして、トランジスタMo112のドレインは、出力電流 I_{out} を取り出す端子となる。ここで、トランジスタMi111とトランジスタMo111との

形状比（ゲート幅／ゲート長で与えられる）およびトランジスタMi112とトランジスタMo112との形状比は、それぞれN倍の比例関係になっている。すなわち、トランジスタMi111のゲート幅およびゲート長をW111, L111 とすると、トランジスタMo111の形状比S_{ro111}は、 $S_{ro111} = N \times W111 / L111$ となっており、また、トランジスタMi112のゲート幅およびゲート長をW112, L112 とすると、トランジスタMo112の形状比S_{ro112}は、 $S_{ro112} = N \times W112 / L112$ となっており、必要な出力電流I_{out}（すなわち、 $I_{out} = N \times I_{ref111}$ ）を取り出すことができるようになっている。

【0008】図4に示されるように、図3に示す従来のカレントミラー回路において、トランジスタMo112は、トランジスタMi112のゲート-ソース間電圧をV_{gs111}として、出力に印加される電圧V_{out}が、 $V_{gs111} + \Delta V112$ 以上（例えば、 $0.8V + 0.2V = 1.0V$ ）と高い電圧が必要になるため、低い電源電圧で使用することが困難になる。なお、 $\Delta V112$ は、トランジスタMo112の飽和電圧を示している。

【0009】

【発明が解決しようとする課題】図5は図1および図3に示す従来例のカレントミラー回路のシミュレーション結果を示す図であり、前述した図2に示す特性曲線L101および図4に示す特性曲線L111に対応するものを示している。ここで、図5(a)は、縦軸(I_{out})を0アンペア(A)～120マイクロアンペア(uA: μA)の範囲とし、横軸(V_{out})を0ボルト(V)～2Vの範囲としたものである。また、図5(b)は、縦軸(I_{out})を99uA～101uAとし、横軸(V_{out})を0V～2Vの範囲としたものである。すなわち、図5(b)は、図5(a)の一部(I_{out}が99uA～101uAの範囲)を拡大して示すものである。

【0010】図5(b)の特性曲線L101から明らかなように、図1に示す従来のカレントミラー回路は、飽和後（例えば、0.2V以上）においても、出力電流I_{out}が出力電圧V_{out}の増加と共に大きくなり、電流精度の低下を来していた。また、図5(b)の特性曲線L111から明らかなように、図3に示す従来のカレントミラー回路は、飽和後の出力電流I_{out}は出力電圧V_{out}の増加に関わらず一定となっており、十分な電流精度を確保することができる。しかしながら、図3のカレントミラー回路は、高い飽和電圧（例えば、1.0V）が必要であるため、近年の低電圧化の要求に反し、実際の回路に適用するには問題があった。

【0011】このように、従来のカレントミラー回路では、高い電流精度および低い電源電圧を両立することが困難であった。また、前述したチャネル変調効果は、近年の短チャネル化に伴って顕著となるため、電流精度は一層劣化する傾向にあり、さらに、短チャネルのトランジスタは、耐圧も低く、低消費電力を実現するためにも

電源電圧をより一層低下させるようになって来ている。そのために、高電流精度と低電源電圧を実現できるカレントミラー回路の必要性は、ますます高まっている。

【0012】本発明は、上述した従来のカレントミラー回路が有する課題に鑑み、低い電源電圧においても出力インピーダンスが高く、且つ、ミラー比が高精度に設定可能なカレントミラー回路の提供を目的とする。

【0013】

【課題を解決するための手段】本発明によれば、基準電流を流す基準電流源と、該基準電流源に接続され該基準電流が流される入力回路と、該入力回路にカレントミラー接続された1組以上の出力回路とを有する電界効果型トランジスタを用いたカレントミラー回路であって、前記入力回路は、直列接続された第1および第2の入力トランジスタを有し、該第1および第2の入力トランジスタのゲートを共に該第2の入力トランジスタのドレインに接続し、該第2の入力トランジスタのドレインを前記基準電流源に接続し、前記少なくとも1組の出力回路は、直列接続された第1および第2の出力トランジスタを有し、該第1の出力トランジスタのソースを前記第1の入力トランジスタのソースに接続し、該第1および第2の出力トランジスタのゲートを前記第1および第2の入力トランジスタのゲートに接続し、該第2の出力トランジスタのドレインから出力電流を取り出し、前記第2の入力トランジスタを、前記第1の入力トランジスタの閾値電圧以下で動作させるようにしたことを特徴とするカレントミラー回路が提供される。

【0014】また、本発明によれば、第1の電源線(V_{dd})と第2の電源線(V_{ss}: GND)との間に直列に接続された基準電流源(11)および入力回路(Mi11, Mi12)と、該入力回路にカレントミラー接続された少なくとも1組の出力回路(Mo11, Mo12)とを備え、該入力回路は、直列接続された第1および第2のトランジスタ(Mi11, Mi12)を有し、該第1および第2のトランジスタのゲートを相互に接続すると共に該第2のトランジスタ(Mi12)のドレインと前記基準電流源(11)との接続ノードに共通接続し、そして、前記第2のトランジスタ(Mi12)を、前記第1のトランジスタ(Mi11)の閾値電圧(V_{th11})以下で動作させるようにしたことを特徴とするカレントミラー回路が提供される。

【0015】本発明のカレントミラー回路によれば、入力回路、少なくとも1組の出力回路、および、基準電流源を備えて構成されている。第1および第2の入力トランジスタのゲートは、第2の入力トランジスタのドレインに共通接続され、第2の入力トランジスタのドレインは基準電流源に接続されている。また、第1の出力トランジスタのソースは第1の入力トランジスタのソースに接続され、第1および第2の出力トランジスタのゲートは第1および第2の入力トランジスタのゲートに接続され、第2の出力トランジスタのドレインから出力電流が

取り出される。そして、第2の入力トランジスタは、第1の入力トランジスタの閾値電圧以下で動作するようになっている。

【0016】また、本発明のカレントミラー回路によれば、基準電流源(11)および入力回路(Mi11, Mi12)は第1の電源線(Vdd)と第2の電源線(Vss: GND)との間に直列に接続され、また、少なくとも1組の出力回路(Mo11, Mo12)は入力回路にカレントミラー接続されている。入力回路を構成する第1および第2のトランジスタ(Mi11, Mi12)のゲートは相互に接続されると共に、第2のトランジスタ(Mi12)のドレインと基準電流源(11)との接続ノードに共通接続されている。そして、第2のトランジスタ(Mi12)は、第1のトランジスタ(Mi11)の閾値電圧(Vth11)以下で動作するようになっている。

【0017】これにより、低い電源電圧においても出力インピーダンスが高くなると共に、ミラー比を高精度に設定することの可能なカレントミラー回路を構成することが可能となる。

【0018】

【発明の実施の形態】以下、添付図面を参照して、本発明に係るカレントミラー回路の各実施例を説明する。図6は本発明に係るカレントミラー回路の第1実施例を示す回路図であり、図7は図6のカレントミラー回路の動作を説明するための図である。

【0019】図6に示されるように、本第1実施例のカレントミラー回路は、カスコード・カレントミラー回路であり、基準電流Iref11を供給する基準電流源11、および、該基準電流源11と直列に接続された2つのnチャネル型MOSトランジスタ(nMOSトランジスタ)Mi11, Mi12からなる入力回路と、直列に接続された2つのnMOSトランジスタMo11, Mo12からなる出力回路とを備えて構成されている。トランジスタMi11およびMo11のソース、並びに、トランジスタMi11, Mi12およびMo11, Mo12のゲートは、それぞれ相互に接続されており、トランジスタMi12のドレインは、トランジスタMi11, Mi12(Mo11, Mo12)のゲートおよび基準電流源11に接続されている。

【0020】これにより、トランジスタMi11およびMi12には基準電流Iref11が流れることになる。そして、トランジスタMo12のドレインは、出力電流Ioutを取り出す端子となる。ここで、トランジスタMi11とトランジスタMo11との形状比(ゲート幅/ゲート長で与えられる)およびトランジスタMi12とトランジスタMo12との形状比は、それぞれN倍の比例関係になっている。すなわち、トランジスタMi11のゲート幅およびゲート長をW11, L11とすると、トランジスタMo11の形状比Sro11は、 $Sro11 = N \times W11 / L11$ となっており、また、トランジスタMi12のゲート幅およびゲート長をW12, L12とすると、トランジスタMo12の形状比

Sro12は、 $Sro12 = N \times W12 / L12$ となっており、必要な出力電流Iout(すなわち、 $Iout = N \times Iref11$)を取り出すことができるようになっている。

【0021】このように、本第1実施例のカレントミラーレ回路は、直列接続したトランジスタMi11, Mi12の各ゲートをトランジスタMi12のドレインに接続し、トランジスタMi12のゲート-ソース間電圧Vgs12をトランジスタMi11の閾値電圧Vth11以下の電圧として動作するように、すなわち、トランジスタMi12をトランジスタMi11の閾値電圧Vth11以下の電圧で動作させるようになっている。ここで、トランジスタMo11およびMo12はカスコード接続となっており、トランジスタMo12はゲート接地として動作するようになっている。

【0022】以上において、トランジスタMi12は、確実に飽和領域で動するが、トランジスタMi11が非飽和領域に入ると、このトランジスタMi11の出力インピーダンスが著しく低下するため、たとえカスコード接続であっても高い出力インピーダンスを得ることはできない。そこで、高精度のカレントミラー回路を実現するには、トランジスタMi11を飽和領域(図7を参照)で動作させることが必要となる。

【0023】図6に示す第1実施例のカレントミラー回路において、トランジスタMi11およびMi12のゲート-ソース間電圧をそれぞれVgs11およびVgs12とすると、トランジスタMi11のドレインの電圧は($Vgs11 - Vgs12$)で与えられる。また、トランジスタMi11の飽和電圧 $\Delta V11$ は以下の式で与えられる。

$$\Delta V11 = Vgs11 - Vth11$$

従って、トランジスタMi11が飽和領域で動作するためには、以下の条件が必要となる。

$$Vgs11 - Vgs12 \geq Vgs11 - Vth11$$

すなわち、

$$Vgs12 \leq Vth11$$

となり、トランジスタMi12のゲート-ソース間電圧Vgs12が、トランジスタMi11の閾値電圧Vth11以下であれば、トランジスタMi11およびMi12を共に飽和領域で動作させることができる。

【0025】具体的に、トランジスタMi12のゲート-ソース間電圧Vgs12をトランジスタMi11の閾値電圧Vth11以下としてカレントミラー回路(トランジスタMi12)を動作させる手法としては、例えば、以下の2つのものがある。まず、第1の手法としては、トランジスタMi12の閾値電圧Vth12をトランジスタMi11の閾値電圧Vth11以下に設定する。ここで、例えば、MOSトランジスタの閾値電圧Vthはチャネルの電荷量により制御可能であり、多閾値の製造プロセスを用いてトランジスタの閾値電圧を2種類以上とし、トランジスタMi12を閾値電圧の低いトランジスタにより構成し、トランジスタMi11を閾値電圧の高いトランジスタにより構成すればよい。

【0026】次に、第2の手法としては、トランジスタ Mi12 を弱反転領域で動作させる。この弱反転領域では、閾値電圧 V_{th} 以下でもドレイン電流 I_d を流すことができる。図7に示されるように、本第1実施例のカレントミラー回路において、トランジスタ Mo11 および Mo12 は、出力に印加される電圧 V_{out} が電圧 $V_{gs11} - V_{gs12} + \Delta V_{12}$ 以上（例えば、0.4V）のときに飽和に達し、出力電流 I_{out} は、 $N \times I_{ref11}$ ではなく一定となる。

【0027】なお、各トランジスタのバックゲートはグランド (GND : V_{ss}) に接続しているが、各トランジスタのソースに接続すれば、基板バイアスの効果が無くなり、より一層低い電圧で動作させることができる。また、本発明の各実施例では、トランジスタとして nチャネル型MOSトランジスタを用いているが、pチャネル型MOSトランジスタを用いてもよく、また、MOSトランジスタ以外の電界効果型トランジスタ (FET : Field Effect Transistor) を用いることもできる。

【0028】図8は本発明のカレントミラー回路に適用されるMOSトランジスタの特性を示す図である。MOSトランジスタは、図8に示されるような $V_{gs} - I_d$ 特性をもつことが知られている。この点は、例えば、Yannis P. Tsividis著の“OPERATION AND MODELING OF THE MOS TRANSISTOR”に詳しく述べられている。通常、閾値電圧 V_{th} 以上で使用する強反転領域では、 $V_{gs} - I_d$ 特性は2次閾数特性を示し、ドレイン電流 I_d は、トランジスタのゲート幅を W とし、ゲート長を L とすると、以下の式で与えられる。

【0029】

$$I_d = (W/L) \times (k' / 2) \times (V_{gs} - V_{th})^2$$

なお、 k' はプロセス係数を示している。一方、閾値電圧 V_{th} 以下の弱反転領域では、 $V_{gs} - I_d$ 特性は指数閾数特性を示し、 I_d は以下の式で与えられる。ここで、 V_x は弱反転領域の閾値電圧に相当し、 $V_x < V_{th}$ であり、また、 I_x 、 V_x 、および、 $n \phi t$ はそれぞれ所定の定数を示している。

【0030】

$$I_d = (W/L) \times I_x \times e \times p ((V_{gs} - V_x) / n \phi t)$$

従来、弱反転領域の電流密度は小さく、十分な電流を流すには巨大なトランジスタが必要であった。しかしながら、近年の短チャネル化により、通常サイズのMOSトランジスタでも十分な電流を流すことが可能となっており、弱反転領域の積極的な利用が可能となって来ている。

【0031】具体的に、弱反転領域を積極的に利用するには、例えば、ゲート長を $0.5 \mu m$ (μm) 以下にすればよい。上述したように、本発明に係るカレントミラー回路の第1実施例では、ゲートを共通接続した nMOSトランジスタ Mi11 および Mi12 を直列に接続し、共に飽和領域で動作させることにより、高い出力インピーダンスを得ることができる。また、トランジスタ Mo11 および Mo12 により構成される出力回路が飽和に達する電圧は、 $[V_{gs11} - V_{gs12} + \Delta V_{12}]$ であり、電圧 $[V_{gs11} - V_{gs12}]$ をトランジスタ Mo11 の飽和電圧 ΔV_{11} に近い値に設定することにより、出力電圧 V_{out} を、例えば、0.4V程度の低い電圧値として動作させることができるとなる。

【0032】これにより、高い電流精度を保つつづ低電圧動作が可能なカレントミラー回路を提供することができる。図9は本発明に係るカレントミラー回路の第2実施例を示す回路図であり、カレントミラー回路を3重カスコード接続したカレントミラー回路として構成したものである。なお、本第2実施例の3重カスコード・カレントミラー回路は、図6の第1実施例に比べて、ミラー比の設定をより一層高い精度で行うことができるが、動作電圧が高くなる。

【0033】図9に示されるように、本第2実施例の3重カスコード・カレントミラー回路は、基準電流 I_{ref21} を供給する基準電流源 21 、および、該基準電流源 21 と直列に接続された3つのnMOSトランジスタ Mi21, Mi22, Mi23 からなる入力回路と、直列に接続された3つのnMOSトランジスタ Mo21, Mo22, Mo23 からなる出力回路とを備えて構成されている。トランジスタ Mi21 および Mo21 のソース、トランジスタ Mi21 および Mo21 のゲート、並びに、トランジスタ Mi22, Mi23 および Mo22, Mo23 のゲートは、それぞれ相互に接続されている。ここで、トランジスタ Mi21 のドレイン（トランジスタ Mi22 のソース）は、該トランジスタ Mi21 (Mo21) のゲートに接続され、また、トランジスタ Mi23 のドレインは、トランジスタ Mi22, Mi23 (Mo22, Mo23) のゲートおよび基準電流源 21 に接続されている。

【0034】これにより、トランジスタ Mi21, Mi22, Mi23 には基準電流 I_{ref21} が流れることになる。そして、トランジスタ Mo23 のドレインは、出力電流 I_{out} を取り出す端子となる。ここで、トランジスタ Mi21 とトランジスタ Mo21 との形状比（ゲート幅/ゲート長で与えられる）、トランジスタ Mi22 とトランジスタ Mo22 との形状比、および、トランジスタ Mi23 とトランジスタ Mo23 との形状比は、それぞれN倍の比例関係になっている。すなわち、トランジスタ Mi21 のゲート幅およびゲート長を W_{21} , L_{21} とすると、トランジスタ Mo21 の形状比 S_{r21} は、 $S_{r21} = N \times W_{21} / L_{21}$ となっており、また、トランジスタ Mi22 のゲート幅およびゲート長を W_{22} , L_{22} とすると、トランジスタ Mo22 の形状比 S_{r22} は、 $S_{r22} = N \times W_{22} / L_{22}$ となっており、さらに、トランジスタ Mi23 のゲート幅およびゲート長を W_{23} , L_{23} とすると、トランジスタ Mo23 の形状比 S_{r23} は、 $S_{r23} = N \times W_{23} / L_{23}$ となっている。これにより、必要な出力電流 I_{out} (すなわち、 $I_{out} = N \times I_{ref21}$) を取り出すことができるようになっている。

【0035】本第2実施例のカレントミラー回路は、前述した第1実施例と同様に、トランジスタMi23のゲートソース間電圧Vgs23がトランジスタMi22の閾値電圧Vth22以下として動作するように、すなわち、トランジスタMi23をトランジスタMi22の閾値電圧Vth22以下の電圧で動作させるようになっている。また、トランジスタMo21, Mo22, および, Mo23は、出力に印加される電圧Voutが電圧Vgs21+Vgs22-Vgs23+△V23以上(例えば、1.2V)のときに飽和に達し、出力電流Ioutは、N×Iref21でほぼ一定となる。なお、本第2実施例は、上述した第1実施例よりもミラー比の設定(出力電流Ioutの設定)を高精度に行うことができる。

【0036】なお、本第2実施例において(或いは、以下の各実施例において)、各トランジスタのバックゲートはグランドに接続しているが、各トランジスタのソースに接続すれば、基板バイアスの効果が無くなり、より一層低い電圧で動作させることが可能となる。また、本発明の各実施例では、トランジスタとしてnチャネル型MOSトランジスタを用いているが、pチャネル型MOSトランジスタを用いてもよく、また、MOSトランジスタ以外の電界効果型トランジスタを用いることもできるのは前述の通りである。

【0037】図10は本発明に係るカレントミラー回路の第3実施例を示す回路図であり、図9に示す第2実施例のカレントミラー回路における動作電圧の上昇を改善したものである。図10に示されるように、本第3実施例のカレントミラー回路は、前述した第2実施例と同様に、3重カスコード接続したカレントミラー回路として構成されている。ここで、図9と図10との比較から明らかなように、本第3実施例では、トランジスタMi31, Mo31(Mi21, Mo21)のゲートは、トランジスタMi31(Mi21)のドレインではなく、トランジスタMi32(Mi22)のドレインに接続されるようになっている。なお、他の構成は、前述した第2実施例と同様なのでその説明は省略する。また、本第3実施例は、カレントミラー回路の精度(ミラー比の設定精度)は、上述の第2実施例とほぼ同じである。

【0038】本第3実施例のカレントミラー回路は、前述した第2実施例と同様に、トランジスタMi33のゲートソース間電圧Vgs33がトランジスタMi32の閾値電圧Vth32以下として動作するようになっている。また、トランジスタMo31, Mo32, および, Mo33は、出力に印加される電圧Voutが電圧Vgs31+△V33以上(例えば、1.0V)のときに飽和に達し、出力電流Ioutは、N×Iref31でほぼ一定となる。このように、本第3実施例は、前述した第2実施例よりも動作電圧を低下させることができる。なお、第2実施例および第3実施例と同様に、4重以上のカスコード接続したカレントミラー回路を構成することもできるのは言うまでもない。

このように、多重にカスコード接続することにより、回路の精度をより一層向上させることができるが、動作電圧も増加することになるため、実用上は、2重または3重のカスコード接続したカレントミラー回路が好ましい。

【0039】図11は図6および図10に示す第1および第3実施例のカレントミラー回路のシミュレーション結果を示す図である。ここで、図11(a)は、縦軸(Iout)を0アンペア(A)～120マイクロアンペア(μA: μA)の範囲とし、横軸(Vout)を0ボルト(V)～2Vの範囲としたものである。また、図11(b)は、縦軸(Iout)を99μA～101μAとし、横軸(Vout)を0V～2Vの範囲としたものである。すなわち、図11(b)は、図11(a)の一部(Ioutが99μA～101μAの範囲)を拡大して示すものである。なお、図11(a)および図11(b)において、参照符号L11は第1実施例のカレントミラー回路の特性曲線を示し、また、L31は第3実施例のカレントミラー回路の特性曲線を示している。

【0040】図11(b)の特性曲線L11から明らかなように、図6に示す本発明に係る第1実施例のカレントミラー回路は、飽和後(例えば、0.4V以上)において、出力電圧Voutの増加に対して出力電流Ioutが若干大きくなるものの、ほぼ一定値とすることができる。さらに、図11(b)の特性曲線L31から明らかなように、図6に示す本発明に係る第3実施例のカレントミラー回路は、飽和後(例えば、0.6V以上)において、出力電流Ioutは、出力電圧Voutの増加に関わらず、一定の値となっている。このように、本発明に係るカレントミラー回路の各実施例は、低い電源電圧においても出力インピーダンスを高くすることができ、且つ、ミラー比を高精度に設定することができることがわかる。

【0041】図12は本発明に係るカレントミラー回路の第4実施例を示す回路図であり、図12(a)は上述した第3実施例を応用して構成した4重カスコード・カレントミラー回路の一例を示すものである。なお、図12(b)は、図12(a)のカレントミラー回路における基準電流源41の一例を示すものであり、前述した入力回路および出力回路にnMOSトランジスタを適用した各カレントミラー回路の基準電流源(11, 21, 31)も同様のものを使用することができる。

【0042】本第4実施例のカレントミラー回路は、トランジスタMi44のゲートソース間電圧Vgs44がトランジスタMi43の閾値電圧Vth43以下として動作するようになっている。なっている。また、トランジスタMo41, Mo42, Mo43およびMo44は、出力に印加される電圧Voutが電圧Vgs41+Vgs43-Vgs44+△V44以上のときに飽和に達し、出力電流Ioutは、N×Iref41でほぼ一定となる。

【0043】図12(b)に示されるように、基準電流源41は、差動増幅回路(オペアンプ)OP41、抵抗R41、および、pチャネル型MOSトランジスタ(pMOSトランジスタ)Mi40を備えて構成されている。ここで、トランジスタMi40のソースは抵抗R41を介して高電位の電源線(Vdd)に接続され、そのゲートには差動増幅回路OP41の出力が供給されている。また、差動増幅回路OP41の正相入力(正論理の入力)には基準電圧Vref41が印加され、差動増幅回路OP41の逆相入力(負論理の入力)はトランジスタMi40のソースに接続されている。そして、トランジスタMi40のドレインから基準電流Iref41が各入力トランジスタ(Mi41, Mi42, Mi43, Mi44)に流されることになる。ここで、基準電流Iref41は、 $(Vdd - Vref41) / R41$ で与えられ、例えば、基準電圧Vref41としてBGRやツェナダーオード等の基準電圧を用いれば、電源電圧や作成プロセスに依存しない基準電流Iref41を得ることができる。

【0044】図13は本発明に係るカレントミラー回路の第5実施例を示す回路図であり、入力回路および出力回路にpMOSトランジスタを適用したもので、図6に示す第1実施例のカレントミラー回路に対応している。なお、図13では、基準電流源51を差動増幅回路OP51、抵抗R51、および、nMOSトランジスタMi53で構成したものを示している。この入力回路および出力回路にpMOSトランジスタを適用したカレントミラー回路における基準電流源51は、前述した図12(b)の入力回路および出力回路にnMOSトランジスタを適用したカレントミラー回路における基準電流源41に対応するものである。

【0045】すなわち、基準電流源51において、トランジスタMi53のソースは抵抗R51を介して低電位の電源線Vss(GND)に接続され、そのゲートには差動増幅回路OP51の出力が供給されている。また、差動増幅回路OP51の正相入力には基準電圧Vref51が印加され、差動増幅回路OP51の逆相入力はトランジスタMi53のソースに接続されている。そして、トランジスタMi53のドレインから基準電流Iref51が各入力トランジスタ(Mi51, Mi52)に流されることになる。ここで、基準電流Iref51は、 $(Vref51 - Vss) / R51$ で与えられ、例えば、基準電圧Vref51としてBGRやツェナダーオード等の基準電圧を用いれば、電源電圧や作成プロセスに依存しない基準電流Iref51を得ることができるのは前述した通りである。

【0046】図13に示されるように、本第5実施例のカレントミラー回路は、基準電流Iref51を供給する基準電流源51、および、該基準電流源51と直列に接続された2つのpMOSトランジスタMi51, Mi52からなる入力回路と、直列に接続された2つのpMOSトランジスタMo51, Mo52からなる出力回路とを備えて構成されている。トランジスタMi51, Mi53およびMo51のソース、トランジスタMi51, Mi52およびMo51のゲート、並びに、トランジスタMi53, Mi64およびMo52のゲート

並びに、トランジスタMi51, Mi52およびMo51, Mo52のゲートは、それぞれ相互に接続されており、トランジスタMi52のドレインは、トランジスタMi51, Mi52(Mo51, Mo52)のゲートおよび基準電流源51に接続されている。

【0047】これにより、トランジスタMi51およびMo52には基準電流Iref51が流れることになる。そして、トランジスタMo52のドレインは、出力電流Ioutを取り出す端子となる。ここで、トランジスタMi51とトランジスタMo51との形状比(ゲート幅/ゲート長で与えられる)およびトランジスタMi52とトランジスタMo52との形状比は、それぞれN倍の比例関係になっている。すなわち、トランジスタMi51のゲート幅およびゲート長をW51, L51とすると、トランジスタMo51の形状比Sro51は、 $Sro51 = N \times W51 / L51$ となっており、また、トランジスタMi52のゲート幅およびゲート長をW52, L52とすると、トランジスタMo52の形状比Sro52は、 $Sro52 = N \times W52 / L52$ となっており、必要な出力電流Iout(すなわち、 $Iout = N \times Iref51$)を取り出すことができるようになっている。

【0048】本第5実施例のカレントミラー回路は、トランジスタMi52のゲート-ソース間電圧Vgs52がトランジスタMi51の閾値電圧Vth51以下として動作するよう、すなわち、トランジスタMi52をトランジスタMi51の閾値電圧Vth51以下の電圧で動作させるようになっている。また、トランジスタMo51およびMo52は、出力に印加される電圧Voutが $Vdd - Vgs51 + Vgs52 - \Delta V52$ 以下(例えば、-1.0V)のときに飽和に達し、出力電流Ioutは、 $N \times Iref51$ ではなく一定となる。

【0049】以上において、基準電流源51(41)の構成は、図示したものに限定されず、様々なものを適用することができるのももちろんである。また、例えば、米国特許第4477782号に、複数の基準電流源を用いてカレントミラー回路を構成する技術が開示されているが、本発明を適用することによりこの技術を改良することもできる。

【0050】図14は本発明に係るカレントミラー回路の第6実施例を示す回路図である。図14に示されるように、本第6実施例のカレントミラー回路は、基準電流Iref61を供給する基準電流源61、基準電流Iref62を供給する基準電流源62、および、該基準電流源61と直列に接続された2つのnMOSトランジスタMi61, Mi62、および、該基準電流源62と直列に接続された2つのnMOSトランジスタMi63, Mi64からなる入力回路と、直列に接続された2つのnMOSトランジスタMo61, Mo62からなる出力回路とを備えて構成されている。トランジスタMi61, Mi63およびMo61のソース、トランジスタMi61, Mi62およびMo61のゲート、並びに、トランジスタMi63, Mi64およびMo62のゲート

は、それぞれ相互に接続されている。また、トランジスタ Mi62 のドレインは、トランジスタ Mi61, Mi62(Mo61)のゲートおよび基準電流源 6 1 に接続され、トランジスタ Mi64 のドレインは、トランジスタ Mi63, Mi64(Mo62)のゲートおよび基準電流源 6 2 に接続されている。

【0051】これにより、トランジスタ Mi61 および Mo62 には基準電流 I_{ref61} が流れ、また、トランジスタ Mi63 および Mi64 には基準電流 I_{ref62} が流れることになる。そして、トランジスタ Mo62 のドレインは、出力電流 I_{out} を取り出す端子となる。ここで、トランジスタ Mi61 とトランジスタ Mo61 との形状比は N 倍の比例関係になっている。すなわち、トランジスタ Mi61 のゲート幅およびゲート長を W_{61}, L_{61} とすると、トランジスタ Mo61 の形状比 S_{ro61} は、 $S_{ro61} = N \times W_{61} / L_{61}$ となっており、必要な出力電流 I_{out} (すなわち、 $I_{out} = N \times I_{ref61}$) を取り出すことができるようになっている。なお、トランジスタ Mo62 に関しては、トランジスタ Mo61 のように所定の形状比が要求されず、自由度が高くなるようにされている。すなわち、トランジスタ Mo61 を小型のトランジスタとして構成することが可能となる。

【0052】本第6実施例のカレントミラー回路は、トランジスタ Mi62 のゲート-ソース間電圧 V_{gs62} がトランジスタ Mi61 の閾値電圧 V_{th61} 以下として、また、トランジスタ Mi64 のゲート-ソース間電圧 V_{gs64} がトランジスタ Mi63 の閾値電圧 V_{th63} 以下として動作するようすに、すなわち、トランジスタ Mi62 をトランジスタ Mi61 の閾値電圧 V_{th61} 以下の電圧で動作させ、且つ、トランジスタ Mi64 をトランジスタ Mi63 の閾値電圧 V_{th63} 以下の電圧で動作させるようになっている。ここで、ゲート接地トランジスタ Mo62 のバイアス電圧は、トランジスタ Mi63 および Mi64 のゲート電圧により生成されるようになっている。すなわち、例えば、図1に示す従来のカレントミラー回路では、1つのトランジスタ (Mi101) によりバイアス電圧を生成していたが、チャネル変調効果により理想値からずれていたが、本第6実施例では、トランジスタ Mi64 によりトランジスタ Mi63 のドレイン-ソース間電圧 V_{ds63} が飽和電圧程度に設定されるため、チャネル変調効果を低減することができる。また、トランジスタ Mo61 および Mo62 は、出力に印加される電圧 V_{out} が電圧 $V_{gs61} + V_{gs62} + \Delta V_{62}$ 以上のときに飽和に達し、出力電流 I_{out} は、 $N \times I_{ref61}$ でほぼ一定となる。

【0053】本第6実施例では、2つの基準電流源 6 1 および 6 2 が必要となるが、前述したように、ゲート接地トランジスタ Mo62 のサイズは任意に設計することができ、自由度を向上させることができる。なお、各トランジスタのバックゲートは GND (Vss) に接続しているが、各トランジスタのソースに接続すれば、基板バイアスの効果がなくなり、より低い電圧で動作することができる。

可能である。また、本実施例は N チャネルトランジスタを用いているが、P チャネルトランジスタを用いても同様の効果が得られることはもちろんである。

【0054】図15は本発明に係るカレントミラー回路の第7実施例を示す回路図である。図15に示されるように、本第7実施例のカレントミラー回路は、基準電流 I_{ref71} を供給する基準電流源 7 1, 基準電流 I_{ref72} を供給する基準電流源 7 2, および、該基準電流源 7 1 と直列に接続された2つのnMOSトランジスタ Mi71, Mi72、および、該基準電流源 7 2 と直列に接続された2つのnMOSトランジスタ Mi73, Mi74 からなる入力回路と、直列に接続された2つのnMOSトランジスタ Mo71, Mo72 からなる出力回路とを備えて構成されている。トランジスタ Mi71, Mi73 および Mo71 のソース、トランジスタ Mi71 および Mo71 のゲート、並びに、トランジスタ Mi72, Mi73, Mi74 および Mo72 のゲートは、それぞれ相互に接続されている。また、トランジスタ Mi72 のドレインは、トランジスタ Mi71 (Mo71) のゲートおよび基準電流源 7 1 に接続され、トランジスタ Mi74 のドレインは、トランジスタ Mi73, Mi74 (Mi72, Mo72) のゲートおよび基準電流源 7 2 に接続されている。

【0055】これにより、トランジスタ Mi71 および Mi72 には基準電流 I_{ref71} が流れ、また、トランジスタ Mi73 および Mi74 には基準電流 I_{ref72} が流れることになる。そして、トランジスタ Mo72 のドレインは、出力電流 I_{out} を取り出す端子となる。ここで、トランジスタ Mi71 とトランジスタ Mo71 との形状比、および、トランジスタ Mi72 とトランジスタ Mo72 との形状比は、それぞれ N 倍の比例関係になっている。

【0056】すなわち、トランジスタ Mi71 のゲート幅およびゲート長を W_{71}, L_{71} とすると、トランジスタ Mo71 の形状比 S_{ro71} は、 $S_{ro71} = N \times W_{71} / L_{71}$ となっており、また、トランジスタ Mi72 のゲート幅およびゲート長を W_{72}, L_{72} とすると、トランジスタ Mo72 の形状比 S_{ro72} は、 $S_{ro72} = N \times W_{72} / L_{72}$ となっている。これにより、必要な出力電流 I_{out} (すなわち、 $I_{out} = N \times I_{ref71}$) を取り出すことができるようになっている。

【0057】本第7実施例は、上述した第6実施例に比して、トランジスタ Mo72 の設計自由度は低下するものの、トランジスタ Mi71 とトランジスタ Mo71 は、ドレイン-ソース間電圧 (V_{ds71}) が本質的に同じであるため、第6実施例よりもミラー比の設定 (出力電流 I_{out} の設定) をより高精度に行うことができる。図16は本発明に係るカレントミラー回路の第8実施例を示す回路図である。

【0058】図16に示されるように、本第8実施例のカレントミラー回路は、差動增幅回路 O P81, 抵抗 R81, nMOSトランジスタ Mi80 ~ Mi84、および pMOSトランジスタ Mi85 ~ Mi90 からなる入力回路と、n

MOSトランジスタMo81, Mo82 からなる出力回路とを備えて構成されている。トランジスタMi81, Mi83 およびMo81 のソース、トランジスタMi81, Mi82 およびMo81 のゲート、トランジスタMi83, Mi84 およびMo82 のゲート、並びに、トランジスタMi85, Mi86, Mi87, Mi88, Mi89, Mi90 のゲートは、それぞれ相互に接続されている。また、トランジスタMi82 のドレインは、トランジスタMi82(Mi81, Mo81)のゲートおよびトランジスタMi90 のドレイン(電流源)に接続され、トランジスタMi84 のドレインは、トランジスタMi84(Mi83, Mo82)のゲートおよびトランジスタMi88 のドレイン(電流源)に接続されている。

【0059】ここで、本第8実施例は、図14に示す第6実施例に対して図13に示す第5実施例を適用したものに相当している。すなわち、本第8実施例における差動增幅回路OP81, 抵抗R81, トランジスタMi80 およびMi85, Mi86 は、それぞれ図13の第5実施例における差動增幅回路OP51, 抵抗R51, トランジスタMi53 およびMi51, Mi52 に対応する。さらに、本第8実施例におけるトランジスタMi87, Mi88 およびMi89, Mi90 は、それぞれ図14の第6実施例における基準電流源62および61に対応し、また、本第8実施例におけるトランジスタMi81, Mi82, Mi83, Mi84 およびトランジスタMo81, Mo82 は、それぞれ図14の第6実施例におけるトランジスタMi61, Mi62, Mi63, Mi64 およびトランジスタMo61, Mo62 に対応する。

【0060】基準電流源を構成するトランジスタMi87, Mi88 およびMi89, Mi90 は、それぞれトランジスタMi85, Mi86 とカレントミラー接続になっていて、トランジスタMi85, Mi86 を流れる電流Iref80 に対応した電流Iref82 およびIref81 が流れようになっている。すなわち、本第8実施例では、1つの基準電流源(OP81, R81, Mi80, Mi85, Mi86)から2つの基準電流Iref81, Iref82(Mi89, Mi90; Mi87, Mi88)を高精度に生成するようになっている。なお、詳細な説明は、図13および図14を参照して説明したのと同様なのでその説明は省略する。また、本第8実施例では、1つの基準電流の実施形態を示したが、他の様々な手法により基準電流を生成しても同様の効果が得られることは言うまでもない。

【0061】図17は本発明に係るカレントミラー回路の第9実施例を示す回路図であり、全体的には、図15に示す第7実施例に対して図13に示す第5実施例を適用したものに相当している。なお、本第9実施例では、図15の第7実施例のカレントミラー回路がpMOSトランジスタにより構成され、また、図13の第5実施例におけるトランジスタMi53 が直列に接続された2つのトランジスタMi97, Mi98 で構成するようになっている。

【0062】すなわち、本第9実施例における差動增幅

回路OP91, 抵抗R91, トランジスタMi97, Mi98 およびMi93, Mi94 は、それぞれ図13の第5実施例における差動增幅回路OP51, 抵抗R51, トランジスタMi53 およびMi51, Mi52 に対応する。さらに、本第9実施例におけるトランジスタMi95, Mi96 およびMi97, Mi98 は、それぞれ図15の第7実施例における基準電流源71および72に対応し、また、本第9実施例におけるトランジスタMi91, Mi92, Mi93, Mi94 およびトランジスタMo91, Mo92 は、それぞれ図15の第7実施例におけるトランジスタMi71, Mi72, Mi73, Mi74 およびトランジスタMo71, Mo72 に対応する。なお、本第9実施例では、入力回路および出力回路にpMOSトランジスタ(Mi91, Mi92, Mi93, Mi94; Mo91, Mo92)を使用しており、図15の第7実施例におけるnMOSトランジスタ(Mi71, Mi72, Mi73, Mi74; Mo71, Mo72)とは逆極性となっており、そのため、高電位の電源線Vddおよび低電位の電源線Vss(GND)に対する接続も逆になっているが、実質的な構成は同様である。

【0063】ここで、図16に示す第8実施例では、実際に入力回路のトランジスタMi83, Mi84 およびMi81, Mi82 に基準電流(Iref82 およびIref81)を流す基準電流源を差動增幅回路OP81により制御されるトランジスタMi80(トランジスタMi85, Mi86)を流れる電流(基準電流Iref80)をそのまま使用することなく、トランジスタMi85, Mi86 とカレントミラー接続したトランジスタMi87, Mi88 から基準電流Iref82を取り出し、且つ、トランジスタMi89, Mi90 から基準電流Iref81を取り出すようになっている。また、図17に示す第9実施例では、実際に入力回路のトランジスタMi93, Mi94 およびMi91, Mi92 に基準電流(Iref92 およびIref91)を流す基準電流源を差動增幅回路OP91により制御されるトランジスタMi97, Mi98 を流れる電流をそのまま基準電流Iref92 として使用すると共に、該トランジスタMi97, Mi98 とカレントミラー接続したトランジスタMi95, Mi96 から基準電流Iref91を取り出すようになっている。これは、図16の第8実施例に示すような1つのトランジスタ(電流源)Mi80 では、出力インピーダンスが低くて出力を複数に分岐したときの精度が悪くなるからである。

【0064】図18は本発明に係るカレントミラー回路の第10実施例を示す回路図であり、図6に示す第1実施例において、出力回路を3つ設けたものに相当する。すなわち、基準電流源11, 入力回路(トランジスタMi11, Mi12), および、出力回路(第1の出力回路:トランジスタMo11, Mo12)は、図6のカレントミラー回路と同様であり、本第10実施例では、この図6の回路に対して、トランジスタMo210, Mo220からなる第2の出力回路、および、トランジスタMo310, Mo320からなる第3の出力回路を追加したものである。

【0065】ここで、トランジスタMi11 とトランジ

トランジスタ Mo11 との形状比、および、トランジスタ Mi12 とトランジスタ Mo12 との形状比は、それぞれ N_A 倍の比例関係になっており、また、トランジスタ Mi11 とトランジスタ Mo210 との形状比、および、トランジスタ Mi12 とトランジスタ Mo220 との形状比は、それぞれ N_B 倍の比例関係になっており、そして、トランジスタ Mi11 とトランジスタ Mo310 との形状比、および、トランジスタ Mi12 とトランジスタ Mo320 との形状比は、それぞれ N_C 倍の比例関係になっている。

【0066】すなわち、トランジスタ Mi11 のゲート幅およびゲート長を W_{11} , L_{11} とすると、トランジスタ Mo11 の形状比 S_{r011} は、 $S_{r011} = N_A \times W_{11} / L_{11}$ となっており、また、トランジスタ Mi12 のゲート幅およびゲート長を W_{12} , L_{12} とすると、トランジスタ Mo12 の形状比 S_{r012} は、 $S_{r012} = N_A \times W_{12} / L_{12}$ となっている。さらに、トランジスタ Mo210 の形状比 S_{r0210} は、 $S_{r0210} = N_B \times W_{11} / L_{11}$ となっており、また、トランジスタ Mo220 の形状比 S_{r0220} は、 $S_{r0220} = N_B \times W_{12} / L_{12}$ となっている。そして、トランジスタ Mo310 の形状比 S_{r0310} は、 $S_{r0310} = N_C \times W_{11} / L_{11}$ となっており、また、トランジスタ Mo320 の形状比 S_{r0320} は、 $S_{r0320} = N_C \times W_{12} / L_{12}$ となっている。これにより、各出力回路からそれぞれ必要な出力電流 I_{out1} ($= N_A \times I_{ref11}$), I_{out2} ($= N_B \times I_{ref11}$), I_{out3} ($= N_C \times I_{ref11}$) を取り出すことができるようになっている。

【0067】なお、この出力回路の数は、3つに限定されるものではなく、必要に応じて複数個設けることができる。また、本第10実施例は、前述した各実施例に対してそれぞれ適用することができる。以上、説明した本発明に係るカレントミラー回路の各実施例は、様々な半導体集積回路に対して適用することができる。また、以上の各実施例のカレントミラー回路では、pおよびnMOSトランジスタを適用した場合を説明したが、本発明のカレントミラー回路は、MOSトランジスタに限定されず、様々な電界効果型トランジスタ(FET)を適用することができる。

【0068】

【発明の効果】以上、詳述したように、本発明のカレントミラー回路によれば、低い電源電圧においても出力インピーダンスを高くし、且つ、ミラー比を高精度に設定することが可能となる。

【図面の簡単な説明】

【図1】従来のカレントミラー回路の一例を示す回路図である。

【図2】図1のカレントミラー回路の動作を説明するための図である。

【図3】従来のカレントミラー回路の他の例を示す回路図である。

【図4】図3のカレントミラー回路の動作を説明するための図である。

【図5】図1および図3に示す従来例のカレントミラー回路のシミュレーション結果を示す図である。

【図6】本発明に係るカレントミラー回路の第1実施例を示す回路図である。

【図7】図6のカレントミラー回路の動作を説明するための図である。

【図8】本発明のカレントミラー回路に適用されるMOSトランジスタの特性を示す図である。

【図9】本発明に係るカレントミラー回路の第2実施例を示す回路図である。

【図10】本発明に係るカレントミラー回路の第3実施例を示す回路図である。

【図11】図6および図10に示す第1および第3実施例のカレントミラー回路のシミュレーション結果を示す図である。

【図12】本発明に係るカレントミラー回路の第4実施例を示す回路図である。

【図13】本発明に係るカレントミラー回路の第5実施例を示す回路図である。

【図14】本発明に係るカレントミラー回路の第6実施例を示す回路図である。

【図15】本発明に係るカレントミラー回路の第7実施例を示す回路図である。

【図16】本発明に係るカレントミラー回路の第8実施例を示す回路図である。

【図17】本発明に係るカレントミラー回路の第9実施例を示す回路図である。

【図18】本発明に係るカレントミラー回路の第10実施例を示す回路図である。

【符号の説明】

I1…基準電流源

Iref11…基準電流

Iout…出力電流

Mi11, Mi12…入力回路用トランジスタ

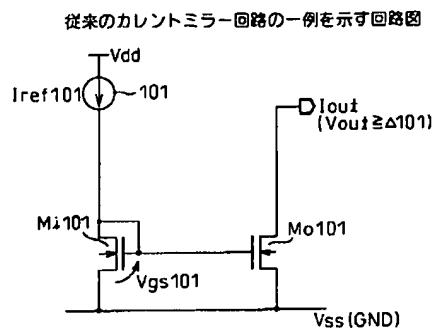
Mo11, Mo12…出力回路用トランジスタ

Vdd…高電位の電源線(高電位の電源電圧)

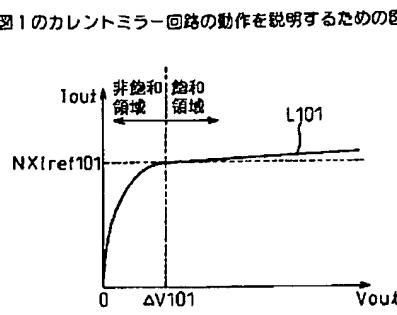
Vgs…トランジスタのゲート-ソース間電圧

Vss, GND…低電位の電源線(接地線:低電位の電源電圧)

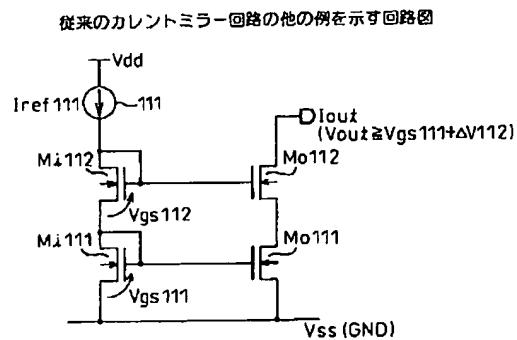
【図1】



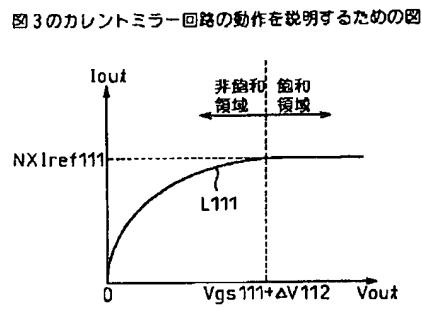
【図2】



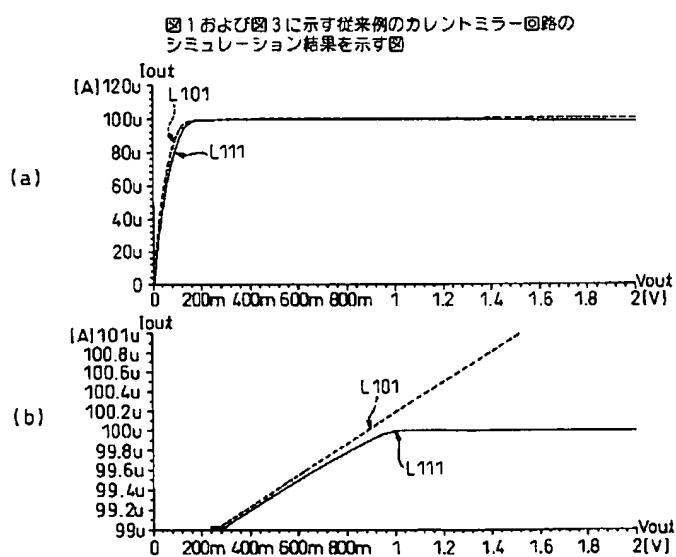
【図3】



【図4】

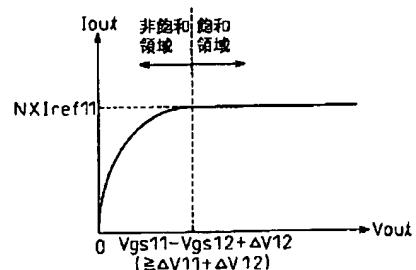


【図5】



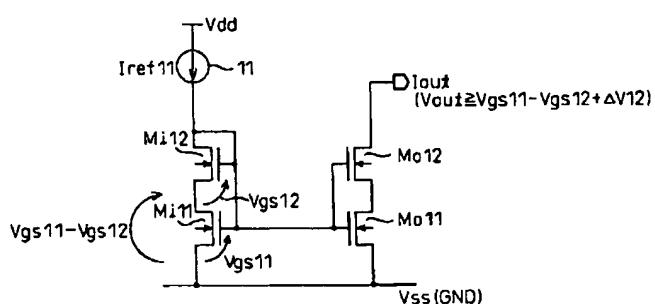
【図7】

図6のカレントミラー回路の動作を説明するための図



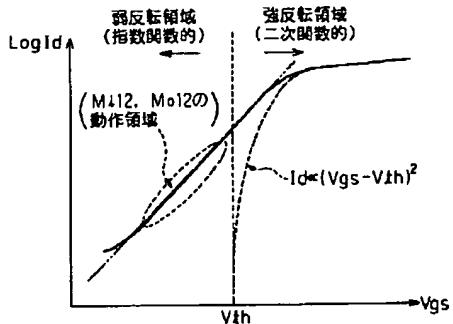
〔四六〕

本発明に係るカレントミラー回路の第1実施例を示す回路図



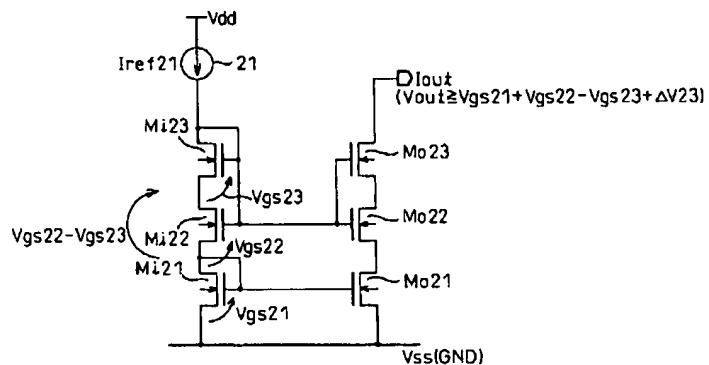
【図8】

本発明のカレントミラー回路に適用されるMOSトランジスタの特性を示す図



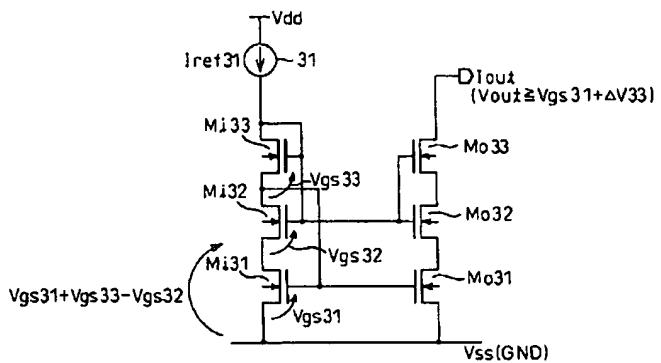
〔四九〕

本発明に係るカレントミラー回路の第2実施例を示す回路図

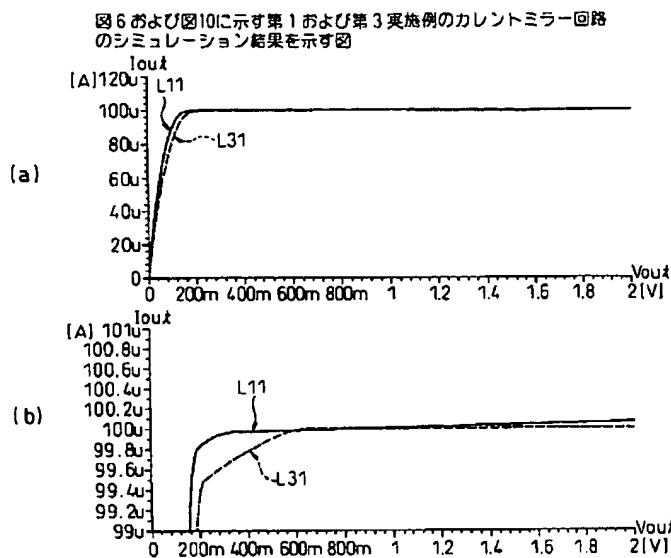


〔図10〕

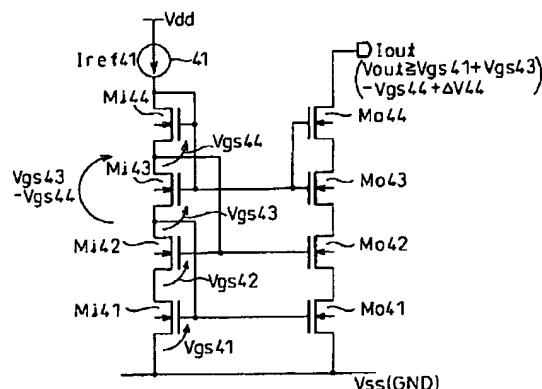
本発明に係るカレントミラー回路の第3実施例を示す回路図



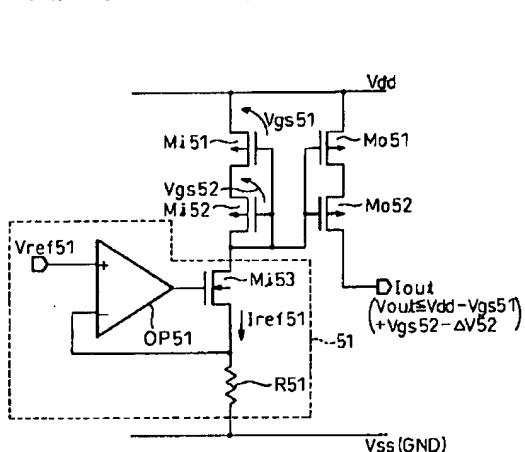
【図11】



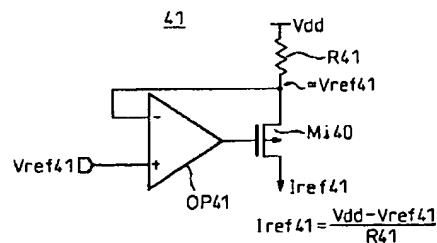
【図12】

本発明に係るカレントミラーレ回路の第4実施例を示す回路図
(a)

本発明に係るカレントミラーレ回路の第5実施例を示す回路図

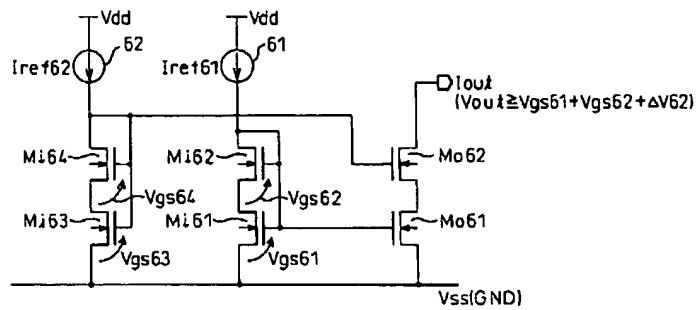


(b)



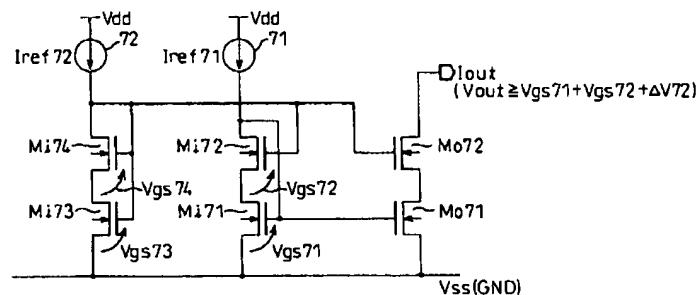
【図14】

本発明に係るカレントミラー回路の第6実施例を示す回路図



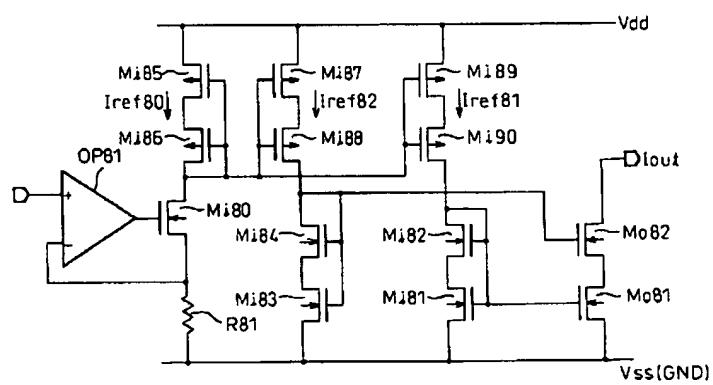
【図15】

本発明に係るカレントミラー回路の第7実施例を示す回路図



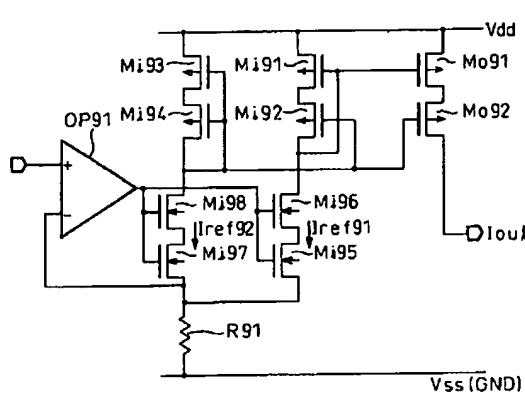
【図16】

本発明に係るカレントミラー回路の第8実施例を示す回路図



【图17】

本発明に係るカレントミラー回路の第9実施例を示す回路図



【図18】

本発明に係るカレントミラー回路の第10実施例を示す回路図

